

2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-122985

(43)Date of publication of application : 23.04.1992

(51)Int.Cl.

G09G 5/00

G09G 1/16

G09G 3/36

(21)Application number : 02-242454

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.09.1990

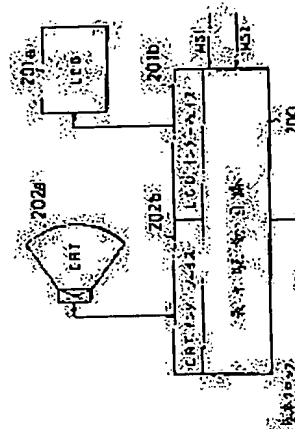
(72)Inventor : TOKUMITSU SHIGENORI

(54) DISPLAY DRIVING CIRCUIT

(57)Abstract:

PURPOSE: To offer the display driving circuit which is adaptive to various LCDs and CRTs without varying a fundamental clock by adding a circuit which controls the period of a subordinate clock SCP in various modes to the display driving circuit.

CONSTITUTION: The display driving circuit 200 constituted by adding a variable shift register to a display driving circuit drives both an LCD 201a and a CRT 202a. Thus, the display driving circuit 200 is adaptive to even a terminal equipped with an LCD interface 201b and a CRT interface 202b. The fundamental clock of the display driving circuit is varied to adapt the circuit to various LCDs, but the display driving circuit 200 to which the simple circuit controlling the period of the subclock SCP in various modes is added can generate the best interface signals for various LCDs without varying the frequency of the fundamental clock and can drive even the CRT.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

①日本国特許庁(JP) ②特許出願公開

③公開特許公報(A) 平4-122985

④Int. Cl.

G 09 G 5/00
1/16
3/36

識別記号

庁内整理番号

A 8121-5C
A 8121-5C
8621-5C

⑤公開 平成4年(1992)4月23日

審査請求 未請求 請求項の数 1 (全8頁)

⑥発明の名称 表示駆動回路

⑦特 願 平2-242454

⑧出 願 平2(1990)9月14日

⑨発明者 徳光 重則

埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工

⑩出 願 人 株式会社東芝

場内、ひくま市成瀬橋町1丁目1番1号

⑪代理人 弁理士 鈴江 武彦

神奈川県川崎市幸区城川町72番地
外3名

3. 発明の詳細な説明

【発明の目的】

(産業上の利用分野)

この発明は、液晶及び陰極線管を表示装置と

する表示駆動回路に関する。

従来の技術は、近年の各種表示装置として、2値表示の大型の

液晶画面が多く使われている。これら液晶表示

装置(以下、LCDと記す)は、表示画素数が横

640×縦400画素又は横640×縦480画

素又は横704×縦480画素、又は横704×縦512画素である

場合が多い。従って、これら液晶表示装置に

対しては、上記の様なLCDに対してはそれぞれ適し

た駆動回路が必要であるが生産性の面から、一つ

の駆動回路で各種LCDを駆動できる方が望まし

い。そのためには駆動回路を動作させる基本クロ

ックの周波数を変えることによって対応すること

ができる。

一方、表示装置としてはLCDの他に陰極線管

(以下、CRTと記す)もある。しかし、LCD用

のデータとC.R.T用のデータとは基本的にサンプリングクロックが異なる。また、C.R.Tにおいては基本クロックを固定しないとC.R.Tに正しい信号を供給することができないといった問題がある。従って、LCD及びC.R.Tに適用する駆動回路を提供しようとする場合、相反する製造要件を有することになる。

(発明が解決しようとする課題)

上記のように各種のLCDに対応させるには表示駆動回路の基本クロックを変えることにより対応できるが、C.R.Tにおいては基本クロックは固定でなければならない。

そこでこの発明は表示駆動回路の基本クロックを変えることなく各種LCD及びC.R.Tに対応できる表示駆動回路を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

基本クロックが供給され、各種モード設定に応じて巡回周期が変化して、その出力として各モードに応じたサブクロックを出力するシフトレジスタ

手段と、上記シフトレジスタの出力から液晶データを読み出すためのクロック信号を発生する手段と、上記クロック信号に従い液晶表示の横方向及び縦方向の表示アドレスを発生する第1と第2のアドレスカウンタ手段と、上記2つのアドレスカウンタ手段の出力を合成して液晶表示データの読み出しアドレスをメモリに供給する手段と、上記アドレスに従って上記メモリより読み出されたデータをラッチするレジスタ手段とを具備したものである。

(作用)

上記手段によれば、一方では基本クロックを変えることがないので、何時でもC.R.T用のクロックとして利用でき、他方では上記シフトレジスタの巡回周期を変えることにより各種タイプの液晶表示装置用のクロックとして利用することができる。

(実施例)

以下この発明の実施例を図面を参照して説明する。

第1図はこの発明の実施例である。

入力端子10には、例えば(3275) f s c

(f s c: 放送色信号周波数)の基本クロックが

入力される。この基本クロックは可変シフトレジスタ回路41に入力される。可変シフトレジスタ

回路41はモード切換え信号によってその巡回周期を変えることができる。可変シフトレジスタ回路41から出力されたシリアルなサブクロック

S C Pは表示駆動回路100に入力される。

上記可変シフトレジスタ回路41はこの発明の要部なる回路であるが、その前に表示駆動回路

100の構成及び動作から説明する。

表示駆動回路100を動作させるサブクロックS C PはL Xカウンタ21に加えられる。この

L Xカウンタ21は液晶表示画面の横(X)方向の画素に対応したアドレスを発生する回路である。

また、サブクロックS C Pは液晶表示装置の単位データを読み出すサンプリング信号として、表示部インターフェイスに送出される。

L Xカウンタ21は、例えば160進のカウ

タである。これは、例えば液晶表示用のデータを4ビット構成とすると、640画素を表示するには160個(=640/4)のアドレスを発生すれば640ビットのデータを読み出すことができるからである。

L Xカウンタ21から出力されるアドレスは8ビット出力(L X₀〜L X₇)であり、画面横方向のアドレスとしてアドレス合成回路27とL Xデコード22に供給される。

L Xデコード22では液晶表示画面のライン単位のラッチパルス信号L P₀及びL Xカウンタ21を160進カウンタとするためのリセット

パルス信号R L Xが作られる。ラッチパルス信号L Pは、更にL Yカウンタ23にも加えられている。

L Yカウンタ23は液晶表示画面の縦(Y)方向のアドレスを発生するためのものである。L Yカウンタ23は、そのハードウェアを低減するために、液晶表示画面の半分のアドレスを発生する程度の規模で構成されている。

(4) 液晶表示装置

L Yカウンタ23は、液晶表示画面のY方向が、
480画素の場合は200進のカウンタで480
画素の場合は240進のカウンタとして動作する
ように切換えられる。この切換えは、L Yデコー
ダ24により実現される。

即ち、L Yカウンタ23の8ビット出力
(L Y₀～L Y₇)はL Yデコーダ24、加算回
路26に加えられる。またL Y₀～L Y₇は液晶
表示画面の上半分のラインアドレスデータとして
アドレス合成回路27にも加えられる。液晶表示
画面の下半分のラインアドレスデータは、L Y₀
～L Y₇が加算器26で修正された後アドレス合
成回路27に入力されることで実現される。

L Yデコーダ24ではフレームパルス信号F P
とL Yカウンタ23のリセットパルス信号R L Y
が作用する。このリセットパルス信号R L Yは
480画素又は240画素に対応して、モード
設定回路25の制御によりL Yカウンタ23が
200進又は240進となるように設定される。
加算回路26はモード設定回路25の制御に

より画面下半分のアドレスを作成するためのオフ
セット信号と前記L Yカウンタ23の8ビット出
力(L Y₀～L Y₇)を加算する。このオフセッ
ト信号はまだL Yカウンタ23が200進又は
240進と動作する場合にもその値が切換えら
れる。

アドレス合成回路27はL Xカウンタ21、
L Yカウンタ23及び加算回路26からのカ운
ト値を合成してL C Dデータの読み出しアドレス
を作り出しメモリ回路30に出力する。

メモリ回路30は読み出しアドレスに対応した
データをデータラッチ回路28とデータラッチ
回路29に出力する。

データラッチ回路28及びデータラッチ回路
29の出力はそれぞれL C Dの上半分に表示すべ
きデータ(U D₀～U D₇)及び下半分のデータ
(L D₀～L D₇)として他の制御信号(S C P
信号、L P信号、F P信号)と共にL C Dインタ
フェースに送出される。

以下、上記回路構成における各種L C Dの基本

クロック(即ちS C P信号)を示す。

表示画素数: 640×400画素、
フレーム周波数: 60 H zの場合、

$L P = 60 \text{ H z} \times 200 = 12 \text{ k H z}$ 、

$S C P = L P \times 160 = 1.92 \text{ M H z}$ 、

即ち基本クロック周波数は1.92 M H z。

表示画素数: 640×400画素、

フレーム周波数: 70 H zの場合、

$L P = 70 \text{ H z} \times 200 = 14 \text{ k H z}$ 、

$S C P = L P \times 160 = 2.24 \text{ M H z}$ 、

即ち基本クロック周波数は2.24 M H z。

表示画素数: 640×480画素、

フレーム周波数: 60 H zの場合、

$L P = 60 \text{ H z} \times 240 = 14.4 \text{ k H z}$ 、

$S C P = L P \times 160 = 2.304 \text{ M H z}$ 、

即ち基本クロック周波数は2.304 M H z。

表示画素数: 640×480画素、

フレーム周波数: 70 H zの場合、

$L P = 70 \text{ H z} \times 240 = 16.8 \text{ k H z}$ 、

$S C P = L P \times 160 = 2.688 \text{ M H z}$ 、

即ち基本クロック周波数は2.688 M H z。

上記のように基本クロックを設定すれば各種

L C Dに対応できる表示駆動回路を提供できるが、

更に、L C R Tにも対応させるために、この実施例

では、可変シフトレジスタ回路41を接続してい

る。これと連動するL C R Tは後述の図4に示す。

即ち、基本クロックは固定とて、上記可変シフ

トレジスタ回路41により、各種の液晶表示装置

に適応できるサブクロックS C Pを得られるよう

にしている。

このシステムの基本原理を説明する。

例えばこのシステムをキャプテンシステムのラ

ンゲ3端末に使用する場合、その端末の画面表

示データのビットクロックは32/5の割合(=

22.4 M H z)である。

以下、基本クロックを(32/5)の割合とし

た場合、各種液晶表示装置に対応するサブクロ

ックS C Pは以下のようになる。

表示画素数: 640×400画素、

フレーム周波数: 60 H zの場合、

(c) 表示画面の構成

この時 SCP は 32 / 5 f s c 1 2 クロック分、
この時 FP 信号は 59.7 Hz となる。
表示画面数: 640 × 400 画面、
フレーム周波数: 70 Hz の場合、
SCP は 32 / 5 f s c 1 0 クロック分
この時 FP 信号は 71.6 Hz となる。
表示画面数: 640 × 480 画面、
フレーム周波数: 60 Hz の場合、
SCP は 32 / 5 f s c 1 0 クロック分
この時 FP 信号は 59.7 Hz となる。
表示画面数: 640 × 480 画面、
フレーム周波数: 70 Hz の場合、
SCP は 32 / 5 f s c 8.5 クロック分、
この時 FP 信号は 70.2 Hz となる。
すなわち、使用する LCD に応じて基本クロック
(32 / 5) f s c の 8.5 クロック周期、10
クロック周期及び 12 クロック周期にサブクロッ
ク S C P を発生すれば良い。
ここで 8.5 クロック周期を得るには、8 クロ
ック周期と 9 クロック周期を切換えることにより

により実現される(同図(c)参照)。12
ビットシフトレジスタを形成する場合は同様に
L S F 1 と L S F 2 の間及び L S F 7 と L S F 8
の間、それぞれ 2 ビット分のレジスタ(フリップ
フロップ 5.2、5.3 及び フリップフロップ 5.4、
5.5) が挿入されることにより実現される。(同図

(d) 参照)。第3図は上記した可変シフトレジスタ回路
4.1 の具体例である。5.1 はフリップフロップ
(L S F 1 ~ L S F 8) からなる 8 ビットシフト
レジスタである。フリップフロップ L S F 1 の出力端子は選択回
路 5.6 に接続されると共にフリップフロップ 5.2
の入力端子に接続される。フリップフロップ 5.2
の出力端子は選択回路 5.6 に接続されると共に
フリップフロップ 5.3 の入力端子に接続される。
フリップフロップ 5.3 の出力端子は選択回路 5.6
に接続されている。選択回路 5.6 の出力端子は
L S F 2 の入力端子に接続されている。

従って、選択回路 5.6 は、L S F 1 の出力端子

により実現できる。図5(a)は、第2図は可変シフトレジスタ回路 4.1 の動作原
理図を説明するための図である。可変シフトレジスタ回路 4.1 は、フリップフロ
ップ (L S F 1 ~ L S F 8) からなる 8 ビットシ
フトレジスタ 5.1 を基本とし、この 8 ビットシ
フトレジスタ 5.1 は、使用する LCD のモードに
応じて 8 / 9 ビットシフトレジスタ、10 ビットシ
フトレジスタ及び 12 ビットシフトレジスタに切
換えられることができる。この図は、8 / 9 ビット
シフトレジスタを形成する場合、すなわち、8 / 9 ビットシフトレジスタを形成する
場合は L S F 1 と L S F 2 の間及び L S F 7 と L S F 8 の間に 1
ビット分のレジスタ(フリップフロップ 5.2、5.3) を
挿入して構成される 9 ビットシフトレジスタと
なる。また、10 ビットシフトレジスタを形成する場合は L S F 1 と
L S F 2 の間及び L S F 7 と L S F 8 の間にそれ
ぞれ 2 ビット分のレジスタ(フリップフロップ
5.2、5.3、5.4、5.5) が挿入されるこ

と L S F 2 の入力端子とを直接接続した状態と、
L S F 1 の出力端子と L S F 2 の入力端子との
間にフリップフロップ 5.2 を接続した状態と、
L S F 1 の出力端子と L S F 2 の入力端子との間
にフリップフロップ 5.2、5.3 を接続した状態と
を選択的に形成することができる。

上記のように、選択回路 5.6 の各状態を切換え
る切換え信号は、入力端子 7.1、7.2 に与えられ
るモード切換え信号 M S 1、M S 2 である。

更に、フリップフロップ L S F 7 の出力端子は
選択回路 5.7 に接続されると共にフリップフロ
ップ 5.4 の入力端子に接続される。フリップフロ
ップ 5.4 の出力端子は選択回路 5.7 に接続されると共
にフリップフロップ 5.5 の入力端子に接続される。
フリップフロップ 5.5 の出力端子は選択回路 5.7
に接続されている。選択回路 5.7 の出力端子は
L S F 8 の入力端子に接続されている。

従って、選択回路 5.7 は、L S F 7 の出力端子
と L S F 8 の入力端子とを直接接続した状態と、
L S F 7 の出力端子と L S F 8 の入力端子との

b. 入力端子 1 に入力されるモード切換え信号 モード切換え信号 MS 1 は載荷パルス発生回

このモー、切換え信号MIS-1は、制御回路59の出力信号により、選択回路57とパルス発生回路60に切換え信号を送出している。

端子にはフリップフロップ558の出力端子が接続、カマレジスタを実現するために101番回路毎に8ビットシフトをくりかえしている。ナンド回路559aの出力端子はアンリニア化レジスタ551とフリップフロップ554を加えて構成する。このナンド回路559aの他方の入力端子はフリップフロップ558の出力8ビットシフト端子に供給される。このナンド回路559aの出力端子はフリップフロップ554の出力8ビットシフト端子に供給される。このナンド回路559aの出力端子はフリップフロップ554の出力8ビットシフト端子に供給される。

図 6-10 先のナンド回路 6-0 a 及びフリップフロップ回路 6-5 a の出力端子にはナンド回路 6-5 b の出力端子が接続され、先づ、それらナンド回路 6-0 c 及びナンド回路 6-0 d ナンド回路 6-5 b の他方の入力端子にはナンド回路 6-0 d の一方の入力端子に入力している。ナンド回路 6-5 a の出力端子が接続されている。ナンド回路 6-0 c の他方の入力端子には、フリップフロップ回路 6-5 a の出力端子は、出力端子 7-3 にも接続さ

プ54の出力端子が反転バッファ6400を介してとられている。①6400は同相増幅器、つまり、この増幅器の

また、接続される、ナラン回路640dの他方の入力端子にストローククロック発生回路645は、このシステムのクロックはフリックアップクロック645の出力端子が反転バッファ646サブクロックSCPを出力端子743に送出している。バッファ646は、クロックを介して接続されている。以下、表示画面素数640×480、画面素、フ

また、ナンド回路 6301c の入力端子には、ナンド回路のレーム周波数 47.50 MHz の場合を例に可変シフトレジスタ回路 6300c の、6301d の出力と、フリップフロップ数値レジスタ回路 4 1 の動作を説明する。この場合は、LSF 1 ~ LSF 7、05 2、05 3 の出力が加えられる可変シフトレジスタ回路 4 1 は 8 / 9 のピッチシフ

れている。オンド回路 6.0e の出力は、フリップフロップレジスタ 6.0f に動作させられる。このレジスタの出力は、フリップフロップ L S F.3 に加えられている。このレジスタは、まず、選択回路 5.6c と 5.7 の選択動作と制御信号の発生回路 6.0 は、各種モードに応じてこの信号との関係について説明しておく。

のシステムの巡回同期を制御するパルスが発生し、図 4(1) 制御入力端子 A, B が共にハイレベル
 ている間、図 4(2) のように、出力端子 H の出力は、図 4(3) のように、出力端子 H (以下「H」と記す) の時は、入力端

サブクロック発生回路 65 を構成するナンド回路 65 a, 65 b の信号をフリップフロップ 1 S/F 2 に導入する。フリップフロップ 1 S/F 2 の出力は、サブクロック発生回路 65 の出力に接続される。

(2) 制御入力端子A、BがA=“L”、B=“H”の時、ナンド回路60cの出力は、フリップフロップ58bの出力のH/L反転値となり、またはA=“L”、B=“H”の時、入力端子2の信号をフリップフロップLSF2に導入する。この時、ナンド回路60bの出力は常に“L”なので、ナンド回路60dの出力は常に“H”であり、ナンド回路60eはフリップフロップLSF1～LSF8、52、53の出力及びナンド回路60c、60dの出力に応じて巡回パルスが発生する。

(3) 制御入力端子A、Bが共に“L”の時、入力端子0の信号をフリップフロップLSF1に導入する。この時、ナンド回路60aの出力は常に“H”であり、ナンド回路60bの出力は常に“L”なので、ナンド回路60cの出力は常に“H”であり、ナンド回路60dの出力は常に“L”であり、ナンド回路60eはフリップフロップLSF1～LSF8、52、53の出力及びナンド回路60c、60dの出力に応じて巡回パルスが発生する。

動作させるためには、モード切換え信号MS1及びモード切換え信号MS2は、共に“H”に設定される。従って、制御回路59の出力は、フリップフロップ58aの出力に“H”を繰返す。第4図は、8ビットシフトレジスタ動作を示す。即ち、フリップフロップ58aの出力が“H”のとき、制御回路59の出力は“L”となり、フリップフロップ58bの出力が“L”のとき、制御回路59の出力は“H”となる。

第4図で、期間T1は8ビットシフトレジスタの動作期間を示している。期間T2は9ビットシフトレジスタの動作期間を示している。期間T3は10ビットシフトレジスタ及び12ビットシフトレジスタの動作期間を示している。

この様に、表示駆動回路200は、LCDインタフェイス201aとCRTインターフェイス202aを備えた端末でも対応することができる。更にサブクロックSCPの周期を各種モードで制御する簡単な回路を追加した表示駆動回路200は、基本クロックの周波数を変えることなく各種LCDに最適なインターフェイス信号を作り出すことができ、さらにCRTも駆動することができる。

特に、この表示駆動回路200を集積化する場合には、汎用性の面で有効である。

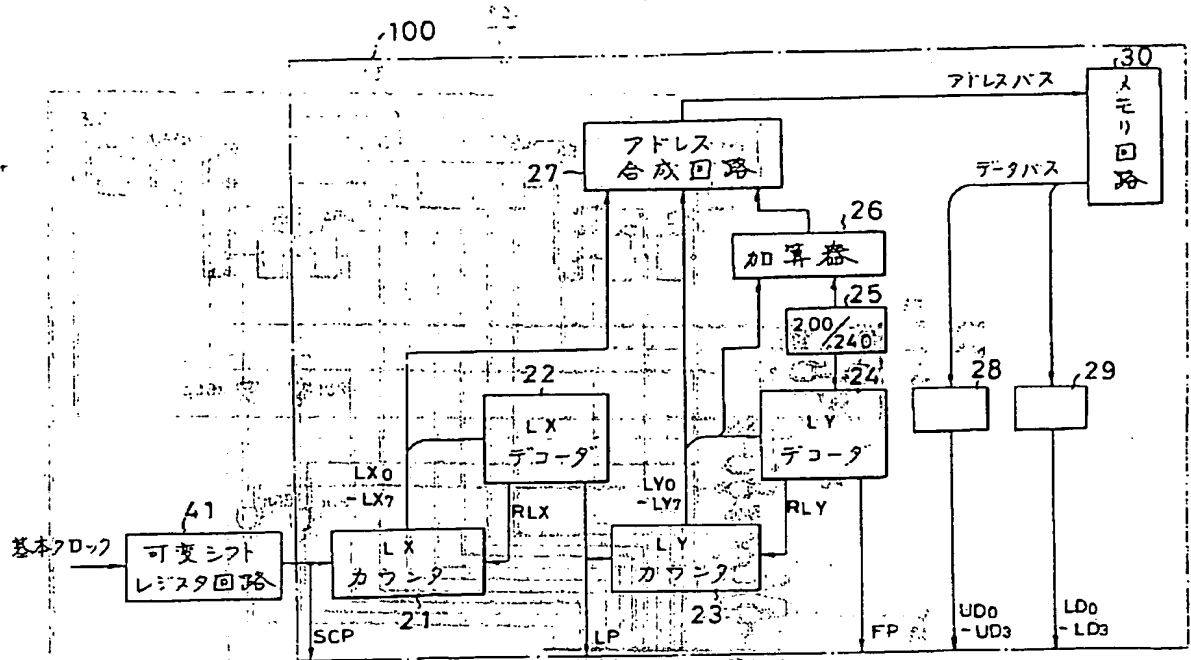
第1図はこの発明の実施例を示す図、第2図は第1図の可変シフトレジスタ回路の基本概念を示す図、第3図は第1図の可変シフトレジスタ回路の構成を示す図、第4図は第3図のタイミングチャートを示す図、第5図は第1図の回路の使用例を示す図である。

この様に、表示駆動回路200は、LCDインタフェイス201aとCRTインターフェイス202aを備えた端末でも対応することができる。更にサブクロックSCPの周期を各種モードで制御する簡単な回路を追加した表示駆動回路200は、基本クロックの周波数を変えることなく各種LCDに最適なインターフェイス信号を作り出すことができ、さらにCRTも駆動することができる。

この発明によれば、表示駆動回路100の基本クロックを変えることにより各種LCDに対応することができる。更にサブクロックSCPの周期を各種モードで制御する簡単な回路を追加した表示駆動回路200は、基本クロックの周波数を変えることなく各種LCDに最適なインターフェイス信号を作り出すことができ、さらにCRTも駆動することができる。

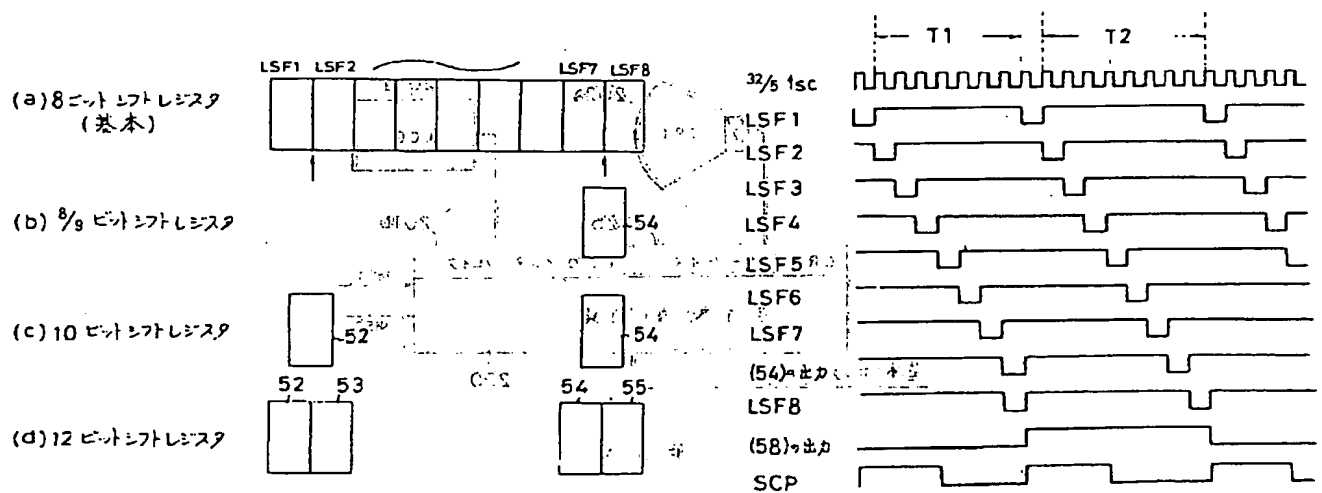
特に、この表示駆動回路200を集積化する場合には、汎用性の面で有効である。

出願人代理人 弁理士 鈴江武彦



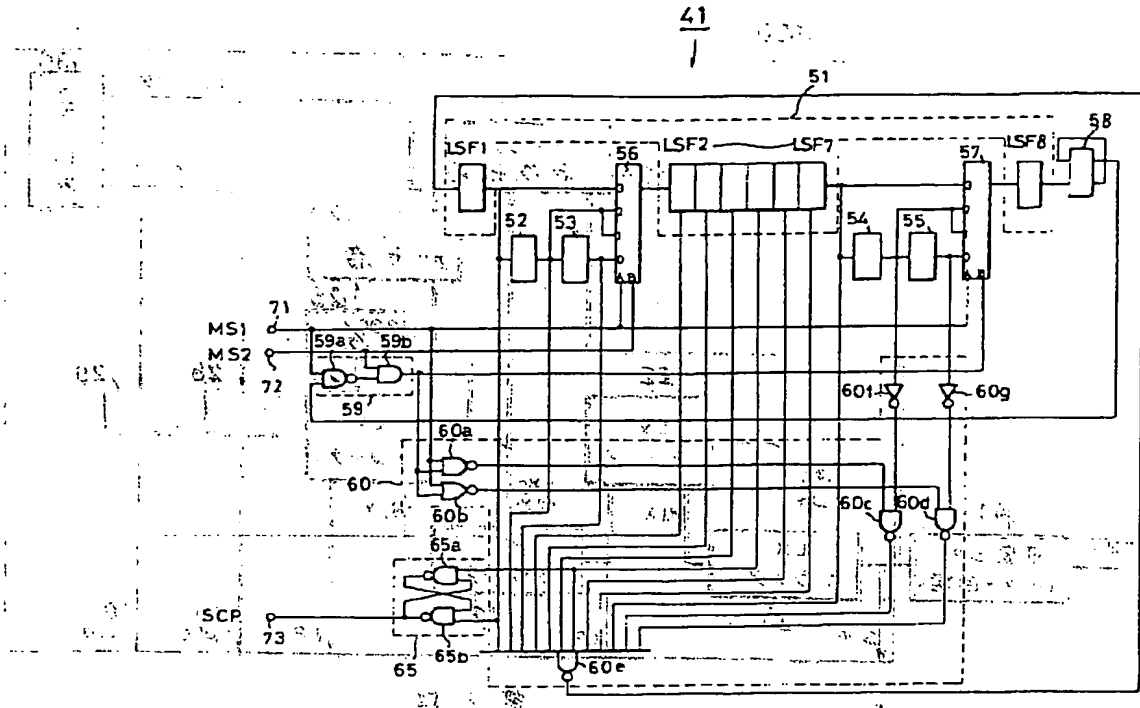
第 1 図

(-XRF100X 311-100) 図 10 参照

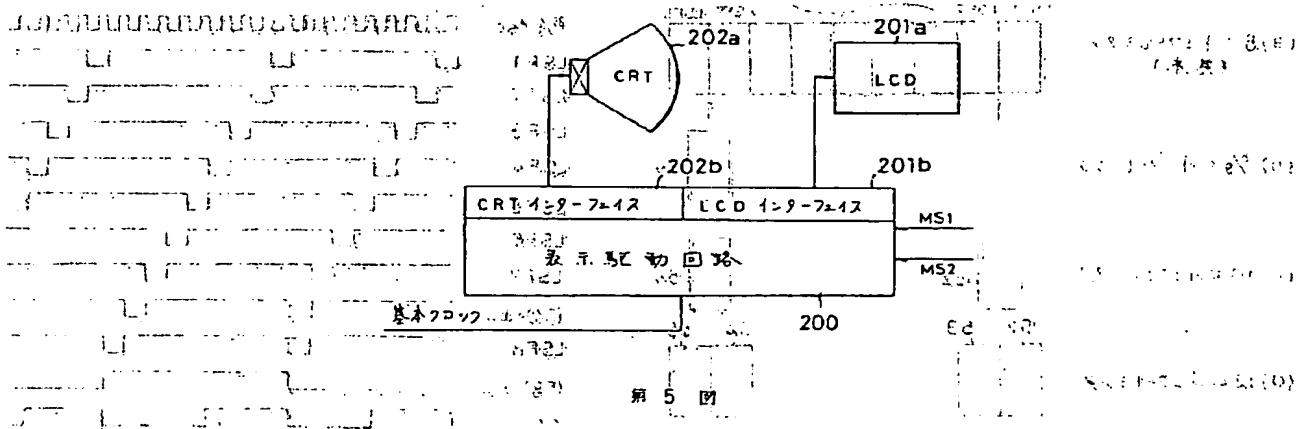


第 2 図

第 4 図



第 3 図 (可変シフトレジスタ回路)



第 5 図